

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

18447273

Basic Patent (No,Kind,Date): JP 2002358031 A2 20021213 <No. of Patents: 002>

LIGHT EMITTING DEVICE AND ITS DRIVING METHOD (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): KOYAMA JUN

IPC: *G09F-009/30; G09G-003/20; G09G-003/30; G09G-003/32; H01L-029/786;
H05B-033/14

Derwent WPI Acc No: C 04-080084

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002358031	A2	20021213	JP 2001166739	A	20010601 (BASIC)
US 20020196389	AA	20021226	US 159004	A	20020531

Priority Data (No,Kind,Date):

JP 2001166739 A 20010601

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07489513 **Image available**

LIGHT EMITTING DEVICE AND ITS DRIVING METHOD

PUB. NO.: **2002-358031** [JP 2002358031 A]

PUBLISHED: December 13, 2002 (20021213)

INVENTOR(s): KOYAMA JUN

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-166739 [JP 2001166739]

FILED: June 01, 2001 (20010601)

INTL CLASS: G09F-009/30; G09G-003/20; G09G-003/30; G09G-003/32;
H01L-029/786; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide an electrooptical device capable of preventing deterioration in frequency characteristics caused by a high power external switch that is connected to opposing electrodes, and reduction in the number of gradations.

SOLUTION: The device has a plurality of source signal lines, gate signal lines, power source supplying lines, power control lines and pixels. The pixels have switching TFTs, EL driving TFTs, power supply control TFTs and EL elements. The power supply control TFTs control the potential difference between cathode and anode electrodes of the EL elements.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-358031

(P 2 0 0 2 - 3 5 8 0 3 1 A)

(43) 公開日 平成14年12月13日(2002.12.13)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G09F 9/30	338	G09F 9/30	338 3K007
	365		Z 5C080
G09G 3/20	624	G09G 3/20	624 B 5C094
	641		641 E 5F110
3/30		3/30	J

審査請求 未請求 請求項の数13 O L (全28頁) 最終頁に続く

(21) 出願番号 特願2001-166739(P 2001-166739)

(22) 出願日 平成13年6月1日(2001.6.1)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

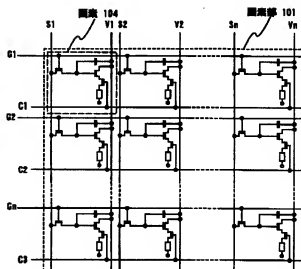
最終頁に続く

(54) 【発明の名称】 発光装置及びその駆動方法

(57) 【要約】

【課題】 対向電極と接続されている大電力外部スイッチに起因する周波数特性の低下を防ぎ、階調数の減少を防ぐことが可能となる電気光学装置を提供する。

【解決手段】 複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の電源制御線と、複数の画素とを有する電気光学装置であって、複数の画素はスイッチング用TFTと、EL駆動用TFTと、電源制御用TFTと、EL素子とをそれぞれ有しており、電源制御用TFTは、EL素子が有する陰極と陽極との間の電位差を制御することを特徴とする発光装置。



【特許請求の範囲】

【請求項1】第1のTFTと、第2のTFTと、第3のTFTと、OLEDと、第1の配線と、第2の配線とをそれぞれ有する画素が複数設けられた発光装置であって、

前記第1のTFTのソース領域とドレイン領域の一方は、前記第2のTFTのゲート電極に電氣的に接続されており、他方は前記第1の配線に電氣的に接続されており、

前記第2のTFTのソース領域とドレイン領域は、一方は前記第2の配線に、もう一方は前記第3のTFTのソース領域とドレイン領域の一方に電氣的に接続されており、

前記第3のTFTのソース領域とドレイン領域の他方に前記OLEDの画素電極が電氣的に接続されており、前記複数の画素がそれぞれ有する前記第1のTFTのゲート電極は、互いに電氣的に接続されており、

前記複数の画素がそれぞれ有する前記第3のTFTのゲート電極は、互いに電氣的に接続されていることを特徴とする発光装置。

【請求項2】第1のTFTと、第2のTFTと、第3のTFTと、OLEDと、第1の配線と、第2の配線とをそれぞれ有する複数の画素と、第3の配線と、第4の配線とが設けられた発光装置であって、

前記第1のTFTのソース領域とドレイン領域の一方は、前記第2のTFTのゲート電極に電氣的に接続されており、他方は前記第1の配線に電氣的に接続されており、

前記第2のTFTのソース領域とドレイン領域は、一方は前記第2の配線に、もう一方は前記第3のTFTのソース領域とドレイン領域の一方に電氣的に接続されており、

前記第3のTFTのソース領域とドレイン領域の他方に前記OLEDの画素電極が電氣的に接続されており、前記複数の画素がそれぞれ有する前記第1のTFTのゲート電極は、前記第3の配線に電氣的に接続されており、

前記複数の画素がそれぞれ有する前記第3のTFTのゲート電極は、前記第4の配線に電氣的に接続されていることを特徴とする発光装置。

【請求項3】第1のTFTと、第2のTFTと、第3のTFTと、OLEDと、第1の配線と、第2の配線とをそれぞれ有する画素が複数設けられた発光装置であって、

前記第1のTFTのソース領域とドレイン領域の一方は、前記第2のTFTのゲート電極に電氣的に接続されており、他方は前記第1の配線に電氣的に接続されており、

前記第2のTFTのソース領域とドレイン領域は、一方は前記OLEDの画素電極に、もう一方は前記第3のT

Fのソース領域とドレイン領域の一方に電氣的に接続されており、

前記第3のTFTのソース領域とドレイン領域の他方に前記第2の配線が電氣的に接続されており、

前記複数の画素がそれぞれ有する前記第1のTFTのゲート電極は、互いに電氣的に接続されており、前記複数の画素がそれぞれ有する前記第3のTFTのゲート電極は、互いに電氣的に接続されていることを特徴とする発光装置。

【請求項4】第1のTFTと、第2のTFTと、第3のTFTと、OLEDと、第1の配線と、第2の配線とをそれぞれ有する複数の画素と、第3の配線と、第4の配線とが設けられた発光装置であって、

前記第1のTFTのソース領域とドレイン領域の一方は、前記第2のTFTのゲート電極に電氣的に接続されており、他方は前記第1の配線に電氣的に接続されており、

前記第2のTFTのソース領域とドレイン領域は、一方は前記OLEDの画素電極に、もう一方は前記第3のTFTのソース領域とドレイン領域の一方に電氣的に接続されており、

前記第3のTFTのソース領域とドレイン領域の他方に前記第2の配線が電氣的に接続されており、前記複数の画素がそれぞれ有する前記第1のTFTのゲート電極は、前記第3の配線に電氣的に接続されており、

前記複数の画素がそれぞれ有する前記第3のTFTのゲート電極は、前記第4の配線に電氣的に接続されていることを特徴とする発光装置。

【請求項5】請求項1乃至請求項4のいずれか1項において、前記第2のTFTと前記第3のTFTは極性が同じであることを特徴とする発光装置。

【請求項6】請求項1乃至請求項5のいずれか1項において、前記画素電極は陽極であり、前記第3のTFTがpチャネル型TFTであることを特徴とする発光装置。

【請求項7】請求項1乃至請求項5のいずれか1項において、前記画素電極は陰極であり、前記第3のTFTがnチャネル型TFTであることを特徴とする発光装置。

【請求項8】請求項1乃至請求項7のいずれか1項において、前記複数のOLEDは有機発光層を有しており、前記有機発光層は低分子系有機物質またはポリマー系有機物質であることを特徴とする発光装置。

【請求項9】請求項8において、前記低分子系有機物質は、Alq₃（トリス-8-キノリリトールアルミニウム）またはTPD（トリフェニルアミン誘導体）からなることを特徴とする発光装置。

【請求項10】請求項8において、前記ポリマー系有機物質は、PPV（ポリフェニレンビレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする発光装置。

【請求項 11】各画素に第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、O L E D とを有する発光装置の駆動方法であって 1 フレーム期間に表示期間と非表示期間とが出現し、

前記表示期間において、1 ビットのデジタル信号が、第 1 の T F T を介して前記第 2 の T F T のゲート電極に入力され、なおかつ前記第 2 の T F T のドレイン電流が前記第 3 の T F T を介して前記 O L E D が有する画素電極に流れ、

前記非表示期間において、前記第 3 の T F T がオフになっていることを特徴とする発光装置の駆動方法。

【請求項 12】各画素に第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、O L E D とを有する発光装置の駆動方法であって 1 フレーム期間に複数の表示期間と複数の非表示期間とが出現し、

前記複数の各表示期間において、n ビットのデジタル信号のうちの 1 ビットが、第 1 の T F T を介して前記第 2 の T F T のゲート電極に入力され、なおかつ前記第 2 の T F T のドレイン電流が前記第 3 の T F T を介して前記 O L E D が有する画素電極に流れ、

前記複数の各非表示期間において、前記第 3 の T F T がオフになっている、

前記各ビット毎に対応する表示期間の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする発光装置の駆動方法。

【請求項 13】請求項 1 または請求項 12 のいずれか 1 項において、前記 1 フレーム期間とは $1/60$ s 以下であることを特徴とする発光装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された O L E D (O L E D : Organic Light Emitting Device) を、該基板とカバ材の間に封入した O L E D パネルに関する。また、該 O L E D パネルにコントローラを含む I C 等を実装した、O L E D モジュールに関する。なお本明細書において、O L E D パネル及び O L E D モジュールを共に発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

【従来の技術】近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。そのため、従来の、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで

製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】そしてさらに、自発光型素子として O L E D を有したアクティブマトリクス型発光装置 (以下、単に発光装置と呼ぶ) の研究が活発化している。発光装置は有機 E L ディスプレイ (O L E D : Organic EL Display) 又は有機ライトエミッティングダイオード (O L E D : Organic Light Emitting Diode) とも呼ばれている。

【0005】O L E D は自ら発光するため視認性が高く、液晶表示装置 (L C D) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年 O L E D を用いた発光装置は、C R T や L C D に代わる表示装置として注目されている。

【0006】O L E D は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0007】なお、本明細書では、O L E D の陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に O L E D は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0008】発光装置の画素部 1701 は、図 21 に示す構造を有しているのが一般的である。画素部 1701 は、複数のゲート信号線 1706 と、複数のソース信号線 1705 と、複数の電源供給線 1707 とが設けられている。

【0009】ゲート信号線 1706 の 1 つと、ソース信号線 1705 の 1 つと、電源供給線 1707 の 1 つとを有する領域が画素 1702 に相当する。画素部 1701 には、マトリクス状に複数の画素 1702 が配列されている。各画素 1702 には O L E D 1703 が設けられている。O L E D 1703 は陽極と陰極を有しており、本明細書では、陽極を画素電極 (第 1 の電極) として用いる場合は陰極を対向電極 (第 2 の電極) と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0010】O L E D 1703 が有する全ての対向電極は、O L E D パネルの外部に設けられた電源 1704 によって、所定の電圧が与えられている。なお、本明細書

において、対向電極と画素電極の間の電圧を、OLED駆動電圧と呼ぶ。

【0011】画素1702の拡大図を図22に示す。画素1702は、OLED1703と、スイッチング素子として機能する第1のTFT1708と、OLED1703の画素電極と対向電極の間を流れる電流の大きさを制御する第2のTFT1709と、コンデンサ（保持容量）1710とを有している。

【0012】第1のTFT1708のゲート電極は、ゲート信号線1706に接続されている。第1のTFT1708のソース領域とドレイン領域は、一方が、デジタル信号が入力されるソース信号線1705に、もう一方が第2のTFT1709のゲート電極に接続されている。

【0013】また、第2のTFT1709のソース領域とドレイン領域は、一方は電源供給線1707に、もう一方はOLED1703の画素電極に接続されている。またコンデンサ1710が有する2つの電極は、一方は電源供給線1707と電気的に接続されており、もう一方は、第2のTFT1709のゲート電極に電気的に接続されている。

【0014】次に、図21及び図22に示した発光装置の駆動方法について説明する。ここではnビットのデジタル信号を用いて、階調を表示する例について説明する。

【0015】nビットのデジタル信号を用いて表示を行う場合、1フレーム期間を少なくともn個のサブフレーム期間に分割する。各サブフレーム期間は各画素にデジタル信号を入力する期間（書き込み期間）と、書き込まれたデジタル信号の各ビットに応じて各画素が表示を行う期間（表示期間）とに分けることができる。

【0016】まず書き込み期間では、全てのOLED1703の対向電極は、電源1704によって、電源供給線1707の電圧と同じ高さに保たれている。そして、複数のゲート信号線1705が順に選択され、各ゲート信号線にゲート電極が接続された第1のTFT1708が順にオンになる。なお本明細書において、信号線が選択されるとは、該信号線にゲート電極が接続された全てのTFTが、オンになることを意味する。

【0017】そして、複数の各ソース信号線1706にデジタル信号が入力されると、オンである第1のTFTを介して、該デジタル信号が第2のTFTのゲート電極に入力される。また、コンデンサ1710においてデジタル信号の電圧が保持される。

【0018】デジタル信号は「0」または「1」の情報を有している。「0」と「1」のデジタル信号はそれぞれHまたはLのいずれかの電圧を有する信号を意味する。

【0019】そして、全てのゲート信号線1706を順に選択し、全ての画素にデジタル信号を入力する。な

お、画素にデジタル信号を入力するとは、第2のTFT1709のゲート電極にデジタル信号を入力することを意味する。画素部1701の全ての画素にデジタル信号が入力されるまでの期間を書き込み期間と呼ぶ。

【0020】全ての画素にデジタル信号が入力されると、書き込み期間が終了し、表示期間が開始される。表示期間が開始されると、電源1704によって、全てのOLED1703の対向電極の電圧が変化し、対向電極と電源供給線1707との間に電圧が生じる。

【0021】なお、書き込み期間において画素に入力されたデジタル信号が、「0」の情報を有していた場合、第2のTFT1709はオフとなり、OLED1703は発光しない。逆に、「1」の情報を有していた場合、第2のTFT1709はオンとなる。その結果、OLED1703の画素電極に電源供給線1707の電圧が与えられる。よって、対向電極と電源供給線1707との間に生じた電圧が、OLED1703の画素電極と対向電極の間に印加され、OLED1703は発光する。

【0022】なお、表示期間における対向電極の電圧は、電源供給線1707の電圧が画素電極に与えられたとき、OLED1703に順バイアスの電圧がかかるような高さである。

【0023】このように、デジタル信号が有する情報によって、OLEDが発光するかしないかが選択され、全ての画素が一斉に表示を行う。

【0024】n個の各サブフレーム期間が有する表示期間において、画素が発光したりしなかったりすることで、所望の階調を表示することができる。

【0025】

【発明が解決しようとする課題】上述したような、デジタル信号を用いて表示を行う発光装置では、発光装置を大型化した場合、画素数が増加し、画素部全体に大きな電流が流れる。この電流はOLED駆動電圧を制御する電源を通じて流れるため、電源が有する、対向電極の電圧を制御するスイッチは、高い電流能力が必要とされる。

【0026】発光装置において、 $200\text{cd}/\text{m}^2$ の発光量を得る場合、 mA/cm^2 の電流が必要である。例えば、 $5\text{mA}/\text{cm}^2$ の有機発光材料を用いて40インチの表示装置を作る場合、表示に必要な電流値は約25Aとなり、多大なものとなってしまう。

【0027】一般に、電源のスイッチには所定の電流能力の規格が定められており、この電流能力の上限は、発光装置の大型化の妨げとなってきた。

【0028】また、上述した発光装置では、階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。一方、電源のスイッチ周波数特性は、電流能力が高くなるにつれて低下する傾向にある。その結果、発光装置の大型化に伴い、その周波数特性は低下し、可能な階調数が減少して

しまうという問題があった。

【0029】本発明は発光装置の大型化に伴う以上のような問題点を解決するための手段を提供することを課題とする。すなわち、OLED駆動電圧を制御する電源のスイッチによる電流値の制限を取り除くこと、及び、OLED駆動電圧を制御する電源のスイッチに起因する駆動回路の周波数特性の低下を防ぎ、階調数の減少を防ぐことを課題とする。

【0030】

【課題を解決するための手段】本発明では、電源供給線とOLEDの画素電極との間に、新たにもう1つTFTを設ける。具体的には、デジタル信号によってスイッチングが制御されているTFTのドレイン電流が、OLEDに流れるのを制御する、第3のTFTを新たに設ける。

【0031】そして前記第3のTFTのスイッチングを、各ライン毎に制御する。

【0032】上記構成によって、OLEDの対向電極に常に一定の電圧を与えていても、OLED駆動電圧を制御することができる。従って、本発明の発光装置では、対向電極の電圧を制御する電源のスイッチを取り除くことが可能であり、スイッチを有していても高い電流能力は必要とされない。

【0033】そして、第3のTFTのスイッチングは、第3のTFTのゲート電極に印加する電圧で制御することができ、第3のTFTのゲート電極にはほとんど電流は流れない。

【0034】従って、対向電極の電源が有するスイッチの電流能力の上限によって、発光装置の大型化が妨げられることがない。また、対向電極の電源が有するスイッチに流れる電流値を抑えることができるので、スイッチに起因する駆動回路の周波数特性の低下を防ぎ、階調数の減少を防ぐことができる。

【0035】なお、本発明の発光装置において、TFTの代わりに単結晶シリコンを用いて形成されたトランジスタを使っても良い。またTFTは、多結晶シリコンやアモルファスシリコンを用いていても良い。また、有機半導体を用いたトランジスタであっても良い。

【0036】

【発明の実施の形態】図1に、本発明の発光装置のブロック図を示す。図1の発光装置は、画素部101、ソース信号側駆動回路102、第1ゲート信号側駆動回路103a及び第2ゲート信号側駆動回路103bを有している。なお、ソース信号側駆動回路と、第1ゲート信号側駆動回路と、第2ゲート信号側駆動回路の数は、設計者が適宜設定することができる。また、駆動回路であるソース信号側駆動回路と、第1ゲート信号側駆動回路と、第2ゲート信号側駆動回路とは、画素部が設けられたOLEDパネル上に形成されていても良いし、別途形成してOLEDパネルに実装するようにしても良い。

【0037】図2に画素部101の構造を示す。画素部101には、第1ゲート信号線(G1~Gy)と、第2ゲート信号線(C1~Cy)と、ソース信号線(S1~Sy)と、電源供給線(V1~Vx)とが設けられている。なお、ソース信号線と、電源供給線の数は、必ずしも同じであるとは限らない。

【0038】画素部101にはマトリクス状に複数の画素104が配列される。各画素104は、第1ゲート信号線の1つと、第2ゲート信号線の1つと、ソース信号線の1つと、電源供給線の1つとを有している。

【0039】第1ゲート信号線Gj(j=1~y)と、第2ゲート信号線Cj(j=1~y)と、ソース信号線Si(i=1~x)と、電源供給線Vi(i=1~x)とを有している画素104の拡大図を図3に示す。

【0040】図3において、画素104は、第1のTFT105、第2のTFT106、第3のTFT107と、OLED108と、コンデンサ109とを有している。

【0041】第1のTFT105のゲート電極は、第1ゲート信号線Gjに接続されている。また、第1のTFT105のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第2のTFT106のゲート電極に接続されている。

【0042】第2のTFT106のソース領域とドレイン領域は、一方は電源供給線Viに、もう一方は第3のTFT107のソース領域またはドレイン領域に接続されている。

【0043】第3のTFT107のゲート電極は、第2ゲート信号線Cjに接続されている。第3のTFT107のソース領域とドレイン領域のうち、第2のTFT106のソース領域またはドレイン領域と接続していない方が、OLED108が有する画素電極に接続されている。

【0044】コンデンサ109は、第2のTFT106のゲート電極と、電源供給線Viとの間に形成されている。なお、コンデンサ109は必ずしも設ける必要はない。

【0045】OLED108は陽極と陰極と、陽極と陰極との間に設けられた有機発光層とを有している。

【0046】なお、第1のTFT105、第2のTFT106、第3のTFT107は、nチャネル型TFTであっても、pチャネル型TFTであってもどちらでも良い。ただし、第2のTFT106と第3のTFT107の極性が同じであることが望ましい。また、陽極を画素電極として用いる場合、第3のTFTはpチャネル型TFTであることが望ましい。逆に、陰極を画素電極として用いる場合、第3のTFTはnチャネル型TFTであることが望ましい。

【0047】次に、図1乃至図3に示した本発明の発光装置の駆動方法について説明する。ここではnビットのデジタル信号を用いて2ⁿ階調を表示する場合について

説明する。

【0048】図4において、横軸はタイムスケールを示しており、縦軸は第1ゲート信号線の位置を示している。

【0049】はじめに、第1ゲート信号側駆動回路103aによって第1ゲート信号線G1が選択され、第1ゲート信号線G1にゲート電極が接続されている、1ライン目の画素の第1のTFT105がオンになる。また、第2ゲート信号側 駆動回路103bによって第2ゲート信号線C1が選択され、第2ゲート信号線C1

にゲート電極が接続されている、1ライン目の画素の第3のTFT107がオンになる。

【0050】そして、ソース信号側駆動回路102からソース信号線S1〜Sxに入力される1ビット目のデジタル信号が、第1のTFT105を介して第2のTFT106のゲート電極に入力される。なお本明細書において、デジタル信号「第1のTFT105を介して第2のTFT106のゲート電極に入力されることを、画素にデジタル信号が入力されるとする。

【0051】デジタル信号は「0」または「1」の情報
20 を有しており、「0」と「1」のデジタル信号は、一方がH1、一方がL0の電圧を有する信号である。第2のTFT106は、デジタル信号が有する「0」または「1」の情報によって、オンまたはオフになる。

【0052】第2のTFT106がオフのとき、電源供給線Viの電圧は、OLED108の画素電極に与えられない。その結果、OLED108は発光しない。

【0053】第2のTFT106がオンのとき、第3のTFT107はオンになっているので、OLED108の画素電極に電源供給線V1の電圧が与えられる。その結果、OLED108は発光する。

【0054】なお、本発明の発光装置は、電源供給線と、OLEDの対向電極との間の電圧が常に一定の値に保たれている。そして、電源供給線と、OLEDの対向電極との間の電圧は、画素電極に電源供給線の電圧が与えられ、OLEDに順バイアスの電圧が印加される高さである。

【0055】このように、1ライン目の画素にデジタル信号が入力されると、OLED108が発光するかしないかが選択され、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間Trと呼ぶ。特に1ビット目のデジタル信号が画素に入力されたことで開始する表示期間をTr1と呼ぶ。

【0056】次に第1ゲート信号線G1の選択が終了すると、第2ゲート信号線C1が選択された状態のまま、第1ゲート信号線G2が選択され、第1ゲート信号線G2にゲート電極が接続されている2ライン目の画素の第1のTFT105がオンになり、2ライン目の画素にソース信号線S1〜Sxから1ビット目のデジタル信号が入力される。そして、第2ゲート信号線C2が選

択され、2ライン目の画素において表示期間Tr1が開始される。

【0057】そして同様に、残り全ての第1ゲート信号線G3〜Gy及び第2ゲート信号線C3〜Cyが順に選択され、全てのラインの画素において、順に表示期間Tr1が開始される。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。全ての画素に1ビット目のデジタル信号が入力されるまでの期間が、書き込み期間Ta1である。

【0058】一方、1ビット目のデジタル信号が全ての画素に入力される前、言い換えると書き込み期間Ta1が終了する前に、画素への1ビット目のデジタル信号の入力と並行して、第2ゲート信号側駆動回路103bによって、第2ゲート信号線C1の選択が終了する。そして、第2ゲート信号線C1にゲート電極が接続されている1ライン目の画素の第3のTFT107が、オフになる。よって、電源供給線の電圧がOLED108の画素電極に与えられなくなり、1ライン目の画素が有するOLED108は、全て発光せず、表示を行わなくなる。

【0059】画素が表示を行わない期間を非表示期間Tdと呼ぶ。1ライン目の画素において、第2ゲート信号線C1の選択が終了すると同時に表示期間Tr1が終了し、非表示期間Td1となる。

【0060】そして第2ゲート信号線C1の選択が終了したままの状態、次に第2ゲート信号線C2の選択が終了され、第2ゲート信号線C2に接続されている2ライン目の画素の第3のTFT107が、オフになる。そして、2ライン目の画素の第3のTFT107がオフになる。よって、電源供給線の電圧がOLED108の画素電極に与えられなくなり、2ライン目の画素が有するOLED108は、全て発光せず、表示を行わなくなる。

【0061】そして同様に、残り全ての第2ゲート信号線に消去用ゲート信号C3〜Cyの選択が順に終了されていく。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。全ての第2ゲート信号線C1〜Cyの選択が終了されるまでの期間が消去期間Te1である。

【0062】一方、全てのラインの画素において消去期間Td1が開始される前または開始された後に、言い換えると消去期間Te1が終了する前または終了した後、再び第1ゲート信号線G1及び第2ゲート信号線C1の選択が開始される。そして1ライン目の画素に、2ビット目のデジタル信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間Td1が終了して表示期間Tr2となる。

【0063】そして同様に、順に残り全ての第1ゲート信号線G2〜Gy及び第2ゲート信号線C2〜Cyが順に選択され、2ビット目のデジタル信号が全ての画素

に入力される。全ての画素に2ビット目のデジタル信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0064】そして一方、全ての画素に2ビット目のデジタル信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタル信号の入力と並行して、第2ゲート信号線C2の選択が終了する。よって1ライン目の画素が有するOLEDは全て発光しなくなり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0065】そして順に、全ての第2ゲート信号線C1～Cyが選択され、全ての画素において非表示期間 T_{d2} が開始される。全ての画素において、第2ゲート信号線C2の選択が終了するまでの期間が、消去期間 T_{e2} である。

【0066】上述した動作はmビット目のデジタル信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）が開始されるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、…、 $T_{r(m-1)}$ と非表示期間 T_{d2} 、 T_{d3} 、…、 $T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{am} と消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ とによって、その期間が定められる。

【0067】説明を分かり易くするために、図4では $m=n-2$ の場合を例にとっていますが、本発明はこれに限定されないのは言うまでもない。本発明においてmは、1からnまでの値を任意に選択することが可能である。

【0068】m[n-2]（以下、[]内は $m=n-2$ の場合を示す）ビット目のデジタル信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 $T_{rm}[n-2]$ となり表示を行う。そして次のビットのデジタル信号が入力されるまで、m[n-2]ビット目のデジタル信号は画素に保持される。なおこのとき、第2ゲート信号線は選択されたままである。

【0069】そして次に(m+1)[n-1]ビット目のデジタル信号が1ライン目の画素に入力されると、画素に保持されていたm[n-2]ビット目のデジタル信号は、(m+1)[n-1]ビット目のデジタル信号に書き換えられる。なおこのとき、第2ゲート信号線は選択されたままである。そして1ライン目の画素は表示期間 $T_{r(m+1)}[n-1]$ となり、表示を行う。(m+1)[n-1]ビット目のデジタル信号

は、次のビットのデジタル信号が入力されるまで画素に保持される。

【0070】上述した動作は、nビット目のデジタル信号が画素に入力されるまで繰り返し行われる。表示期間 $T_{rm}[n-2]$ 、…、 T_{rn} は、書き込み期間 $T_{am}[n-2]$ 、…、 T_{an} が開始されてから、その次に出現する書き込み期間が開始されるまでの期間である。

【0071】全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間(F)と呼ぶ。

【0072】そして1フレーム期間終了後は、再び第1ゲート信号線G1及び第2ゲート信号線C1が選択される。そして、1ビット目のデジタル信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

【0073】発光装置は1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0074】また本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。なおかつ表示期間の長さとして $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-1)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで2ⁿ階調のうち所望の階調表示を行うことができる。

【0075】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0076】mビット目のデジタル信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが好要である。よってビット数mの値は、1～nのうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

【0077】また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序の方がより好ましい。

【0078】本発明は上記構成によって、対向電極の電源が有するスイッチの電流能力の上限によって、発光装

置の大型化が妨げられることがない。また、対向電極の電源が有するスイッチに流れる電流値を抑えることができるので、スイッチに起因する駆動回路の周波数特性の低下を防ぎ、階調数の減少を防ぐことができる。

【0079】なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティ比）が、書き込み期間の長さによってのみ決定されない。

【0080】なお本実施の形態では、第2のTFTのゲート電極にかかる電圧を保持するためにコンデンサを設けているが、コンデンサを省略することも可能である。第2のTFTが、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量を第2のTFTのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【0081】なお、ゲート電極が互いに電氣的に接続された複数のTFTを直列に接続することで、1つのTFTとし、第1のTFT、第2のTFTまたは第3のTFTに用いることも可能である。第1のTFTを上記構成にすることによって、第1のTFTのオフ電流を下げるができる。また第2のTFT及び第3のTFTを上記構成にすることによって、然るして第2のTFTまたは第3のTFTの劣化を抑えることができる

【0082】このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって変化する。そのため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0083】

【実施例】以下に、本発明の実施例を示す。

【0084】（実施例1）本実施例では、図3に示した画素の上面図について説明する。

【0085】図5に本実施例の画素の上面図を示す。ソース信号線S1と、電源供給線V1と、第1ゲート信号線G1と、第2ゲート信号線C1とを有する領域が画素104に相当する。

【0086】第1のTFT105が有するゲート電極201は、第1ゲート信号線G1に電氣的に接続されている。また、第1のTFT105が有する半導体膜202に含まれているソース領域とドレイン領域は、一方はソース信号線S1に、もう一方は配線203を介してゲート配線204に接続されている。

【0087】ゲート配線204の一部は、第2のTFT106のゲート電極205として機能している。第2のTFT106が有する半導体膜206に含まれているソース領域とドレイン領域は、一方は電源供給線V1に、もう一方は配線207に接続されている。

【0088】第3のTFT107のゲート電極208は、第2ゲート信号線C1に電氣的に接続されている。また、第3のTFT107が有する半導体膜209に含まれているソース領域とドレイン領域は、一方は配線207に、もう一方は配線250を介して画素電極210に接続されている。

【0089】211は半導体膜202、206と同時に形成された容量用の半導体膜であり、絶縁膜（図示せず）を間に挟んでゲート配線204と重なることでコンデンサを形成している。また、ゲート配線204は絶縁膜（図示せず）を間に挟んで電源供給線V1と重なっている。

【0090】なお、図3に示した画素の構造は、図5に示したものに限定されない。

【0091】（実施例2）本実施例では、本発明における発光装置の、画素の配置について説明する。

【0092】図6、図7に、本実施例の画素の回路図を示す。

【0093】図6（A）において、画素1200と画素1210とが隣接して設けられている。画素1200は、第1のTFT1201と、第2のTFT1204と、第3のTFT1209と、OLED1205と、コンデンサ1208とを有している。画素1210は、第1のTFT1211と、第2のTFT1214と、第3のTFT1219と、OLED1215と、コンデンサ1218とを有している。

【0094】また画素1200はソース信号線1203を有し、画素1210はソース信号線1213を有している。そして、画素1200と、画素1210は、第1ゲート信号線1202と、第2ゲート信号線1207と、電源供給線1220とを共有している。

【0095】1つの電源供給線を隣り合う画素で共有していることにより、図3に示した構成に比べて、電源供給線の数を減らすことができる。配線の数が少ないと歩留まりを高くすることができる。また、配線の画素部全体に占める面積の割合が小さくなるので、有機発光層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0096】次に本発明の画素の配置の、異なる一例を図6（B）に示す。図6（B）において、画素1300と画素1310とが隣接して設けられている。

【0097】画素1300は、第1のTFT1301と、第2のTFT1304と、第3のTFT1309と、OLED1305と、コンデンサ1308とを有している。画素1310は、第1のTFT1311と、第2のTFT1314と、第3のTFT1319と、OLED1315と、コンデンサ1318とを有している。

【0098】また画素1300は第1ゲート信号線1302を有し、画素1310は第1ゲート信号線1312を有している。そして、画素1300と、画素1310

は、ソース信号線1303と、第2ゲート信号線1307と、電源供給線1320とを共有している。

【0099】1つの第1ゲート信号線を隣り合う画素で共有していることにより、図3に示した構成に比べて、第1ゲート信号線の数を減らすことができる。配線の数が少ないと歩留まりを高くすることができる。また、配線の画素部全体に占める面積の割合が小さくなるので、有機発光層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0100】次に本発明の画素の配置の、異なる一例を図7(A)に示す。図7(A)において、画素1400と画素1410とが隣接して設けられている。

【0101】画素1400は、第1のTFT1401と、第2のTFT1404と、第3のTFT1409と、OLED1405と、コンデンサ1408とを有している。画素1410は、第1のTFT1411と、第2のTFT1414と、第3のTFT1419と、OLED1415と、コンデンサ1418とを有している。

【0102】また画素1400はソース信号線1403を有し、画素1410はソース信号線1413を有している。そして、画素1400と、画素1410は、第1ゲート信号線1402と、第2ゲート信号線1407と、電源供給線1420とを共有している。

【0103】1つの第2ゲート信号線を隣り合う画素で共有していることにより、図3に示した構成に比べて、第2ゲート信号線の数を減らすことができる。配線の数が少ないと歩留まりを高くすることができる。また、配線の画素部全体に占める面積の割合が小さくなるので、有機発光層の発光する方向に配線が設けられている場合において、配線による光の遮蔽が抑えられる。

【0104】次に本発明の画素の配置の、異なる一例を図7(B)に示す。図7(B)において、画素1500と画素1510とが隣接して設けられている。

【0105】画素1500は、第1のTFT1501と、第2のTFT1504と、第3のTFT1509と、OLED1505と、コンデンサ1508とを有している。画素1510は、第1のTFT1511と、第2のTFT1514と、第3のTFT1519と、OLED1515と、コンデンサ1518とを有している。

【0106】また画素1500は第1ゲート信号線1502を有し、画素1510は第1ゲート信号線1512を有している。そして、画素1500と、画素1510は、ソース信号線1503と、第2ゲート信号線1520と、電源供給線1507とを共有している。

【0107】1つの第2ゲート信号線を隣り合う画素で共有していることにより、図3に示した構成に比べて、第2ゲート信号線の数を減らすことができる。配線の数が少ないと歩留まりを高くすることができる。また、配線の画素部全体に占める面積の割合が小さくなるので、有機発光層の発光する方向に配線が設けられている場合

において、配線による光の遮蔽が抑えられる。

【0108】なお、本実施例は、実施例1と自由に組み合わせる実施することができる。

【0109】(実施例3) 本実施例では、図3とは異なる、本発明の画素の構成について説明する。

【0110】図8において、画素304は、第1のTFT305、第2のTFT306、第3のTFT307と、OLED308と、コンデンサ309とを有している。

【0111】第1のTFT305のゲート電極は、第1ゲート信号線Gjに接続されている。また、第1のTFT305のソース領域とドレイン領域は、一方はソース信号線Siに、もう一方は第2のTFT306のゲート電極に接続されている。

【0112】第2のTFT306のソース領域とドレイン領域は、一方はOLED308の画素電極に、もう一方は第3のTFT307のソース領域またはドレイン領域に接続されている。

【0113】第3のTFTのゲート電極は、第2ゲート信号線Cjに接続されている。第3のTFTのソース領域とドレイン領域のうち、第2のTFT306のソース領域またはドレイン領域と接続していない方が、電源供給線Viに接続されている。

【0114】コンデンサ309は、第2のTFT306のゲート電極と、電源供給線Viとの間に形成されている。なお、コンデンサ309は必ずしも設ける必要はない。

【0115】OLED308は陽極と陰極と、陽極と陰極との間に設けられた有機発光層とを有している。

【0116】なお、第1のTFT305、第2のTFT306、第3のTFT307は、nチャネル型TFTであっても、pチャネル型TFTであってもどちらでも良い。ただし、第2のTFT306と第3のTFT307の極性が同じであることが望ましい。また、陽極を画素電極として用いる場合、第3のTFTはpチャネル型TFTであることが望ましい。逆に、陰極を画素電極として用いる場合、第3のTFTはnチャネル型TFTであることが望ましい。

【0117】なお、本実施例は、実施例1または2と自由に組み合わせる実施することができる。

【0118】(実施例4) 本実施例では、本発明の発光装置の画素部を駆動させるために用いる、ソース信号側駆動回路、第1ゲート信号側駆動回路の詳しい構成について説明する。なお、第2ゲート信号側駆動回路は、第1ゲート信号側駆動回路と同じ構成を用いることができるので、ここでは代表的に第1ゲート信号側駆動回路の構成についてのみ説明する。

【0119】図9に本実施例の発光装置の駆動回路のブロック図を示す。図9(A)はソース信号側駆動回路601であり、シフトレジスタ602、ラッチ(A)60

3、ラッチ(B)604を有している。

【0120】ソース信号側駆動回路601において、シフトレジスタ602にクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ602は、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ等(図示せず)を通して後段の回路へタイミング信号を順次入力する。

【0121】シフトレジスタ602からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいため生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0122】バッファによって緩衝増幅されたタイミング信号は、ラッチ(A)603に入力される。ラッチ(A)603は、nビットデジタル信号を処理する複数のステージのラッチを有している。ラッチ(A)603は、前記タイミング信号が入力されると、ソース信号側駆動回路601の外部から入力されるnビットのデジタル信号を順次取り込み、保持する。

【0123】なお、ラッチ(A)603にデジタル信号を取り込む際に、ラッチ(A)603が有する複数のステージのラッチに、順にデジタル信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ

(A)603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタル信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0124】ラッチ(A)603の全てのステージのラッチにデジタル信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平掃線期間が加えられた期間をライン期間に含むことがある。

【0125】1ライン期間が終了すると、ラッチ(B)604にラッチング信号(Latch Signal)が入力される。この瞬間、ラッチ(A)603に書き込まれ保持されているデジタル信号は、ラッチ(B)604に一斉に送出され、ラッチ(B)604の全ステージのラッチに書き込まれ、保持される。

【0126】デジタル信号をラッチ(B)604に送出し終えたラッチ(A)603には、シフトレジスタ602からのタイミング信号に基づき、デジタル信号の書き込みが順次行われる。

【0127】この2順目の1ライン期間中には、ラッチ(B)603に書き込まれ、保持されているデジタル信

号がソース信号線に入力される。

【0128】図9(B)は第1ゲート信号側駆動回路の構成を示すブロック図である。

【0129】第1ゲート信号側駆動回路605は、それぞれシフトレジスタ606、バッファ607を有している。また場合によってはレベルシフトを有していても良い。

【0130】第1ゲート信号側駆動回路605において、シフトレジスタ606からのタイミング信号がバッファ607に入力され、対応するアドレス用ゲート信号線に入力される。アドレス用ゲート信号線には、1ライン分の画素のアドレス用TFTのゲート電極が接続されている。そして、1ライン分の画素のアドレス用TFTを一斉にONにすることはできないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0131】本実施例は実施例1〜3と自由に組み合わせることで実施することが可能である。

【0132】(実施例5)本発明の発光装置において、OLEDが有する有機発光層に用いられる材料は、有機発光材料に限定されず、無機発光材料を用いても実施できる。但し、現在の無機発光材料は非常に駆動電圧が高いため、そのような駆動電圧に耐える耐圧特性を有するTFTを用いなければならない。

【0133】または、将来的にさらに駆動電圧の低い無機発光材料が開発されれば、本発明に適用することは可能である。

【0134】また、本実施例の構成は、実施例1〜4のいずれの構成とも自由に組み合わせることが可能である。

【0135】(実施例6)本実施例では、本発明の発光装置の画素部とその周辺に設けられる駆動回路部(ソース信号側駆動回路、第1ゲート信号側駆動回路、第2ゲート信号側駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に關しては基本単位であるCMOS回路を図示することとする。また、本実施例では、画素部の第1のTFTと第2のTFTについての示したが、第3のTFTも第1のTFT及び第2のTFTと同時に作製することができ

【0136】まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10〜200[nm](好ましくは50〜100[nm])形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50〜200[nm](好ましくは100

～150[nm]の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0137】半導体膜5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体膜5003～5006の厚さは25～80[nm]

(好ましくは30～60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0138】レーザー結晶化法は結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²] (代表的には200～300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²] (代表的には350～500[mJ/cm²])とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90[%]として行う。

【0139】次いで、半導体膜5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでもなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力4.0[Pa]、基板温度300～400[°C]とし、高周波(13.56[MHz])、電力密度0.5～0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0140】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、

第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0141】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくα相のTa膜を容易に得ることが出来る。

【0142】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]または99.99[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μΩcm]を実現することが出来る。

【0143】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0144】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とC₁を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印

加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0145】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ [nm]}$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は $20 \sim 50 \text{ [nm]}$ 程度エッチングされ薄くなった領域が形成される。（図10（A））

【0146】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドーピング法もしくはイオン注入法で行えば良い。イオンドーピング法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ [atoms/cm}^2\text{]}$ とし、加速電圧を $60 \sim 100 \text{ [keV]}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層5011～5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5025が形成される。第1の不純物領域5017～5025には $1 \times 10^{13} \sim 1 \times 10^{14} \text{ [atoms/cm}^2\text{]}$ の濃度範囲でn型を付与する不純物元素を添加する。

（図10（B））

【0147】次に、図10（C）に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 、 O_2 を用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026～5031

（第1の導電層5026a～5031aと第2の導電層5026b～5031b）を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026～5031で覆われない領域はさらに $20 \sim 50 \text{ [nm]}$ 程度エッチングされ薄くなった領域が形成される。

【0148】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WC 、 WCl_6 、 TaF_5 、 TaCl_5 は同程度である。従って、C

F_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに少量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、フラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0149】そして、図11（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ [keV]}$ とし、 $1 \times 10^{13} \text{ [atoms/cm}^2\text{]}$ のドーピング量で行い、図10（B）で半導体膜に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン（P）の濃度は、第1の導電層5026a～5030aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパー部と重なる半導体膜において、第1の導電層5026a～5030aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0150】図11（B）に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法（RIE法）を用いて行う。第3のエッチング処理により、第1の導電層5026a～5031aのテーパー部を部分的にエッチングして、第1の導電層が半導体膜と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5042（第1の導電層5037a～5042aと第2の導電層5037b～5042b）を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに $20 \sim 50 \text{ [nm]}$ 程度エッチングされ薄くなった領域が形成される。

【0151】第3のエッチング処理によって、第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純

物領域との間の第2の不純物領域5032b~5036bとが形成される。

【0152】そして、図11(C)に示すように、pチャネル型TFTを形成する半導体膜5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043~5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体膜5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043~5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのい

ずれの領域においても不純物濃度が $2 \times 10^{18} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0153】以上までの工程でそれぞれの半導体膜に不純物領域が形成される。半導体膜と重なる第3の形状の導電層5037~5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0154】レジストマスク5200を除去した後、導電性の制御を目的として、それぞれの半導体膜に添加された不純物元素を活性化する工程を行う。この工程はファネスアニール炉を用いる熱アニール法で行う。その他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [°C]、代表的には500~600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037~5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0155】さらに、3~100 [%]の水素を含む雰囲気中で、300~450 [°C]で1~12時間の熱処理を行い、半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用い

る)を行っても良い。

【0156】次いで、図12(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200 [nm]の厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057~5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパターンニング

形成する。

【0157】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5 [μm] (さらに好ましくは2~4 [μm]) とすれば良い。

【0158】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域5017、5018、5021、5023またはp型の不純物領域5043~5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0159】また、配線(接続配線、信号線を含む)5057~5062、5064として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0160】また、本実施例では、画素電極5063としてITO膜を110 [nm]の厚さに形成し、パターンニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20 [%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063がOLEDの陽極となる。(図12(A))

【0161】次に、図12(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500 [nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとき段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0162】次に、有機発光層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層5066の膜厚は80~200 [nm] (典型的には100~120 [nm])、陰極5067の厚さは180~300 [nm] (典型的には200~250 [nm]) とすれば良い。

【0163】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層および陰極を形成する。但し、有機発光

層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでマスクを用いて所望の画素以外を隠し、必要箇所で選択的に有機発光層および陰極を形成するのが好ましい。

【0164】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0165】ここではRGBに対応した3種類のOLEDを形成する方式を用いたが、白色発光のOLEDとカラーフィルタを組み合わせた方式、青色または青緑発光のOLEDと蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したOLEDを重ねる方式などを用いても良い。

【0166】なお、有機発光層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造を有機発光層とすれば良い。

【0167】次に、陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0168】最後に、酸化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、有機発光層5066を水分等から保護することができ、OLEDの信頼性をさらに高めることが出来る。

【0169】こうして図12(B)に示すような構造の発光装置が完成する。なお、本実施例における発光装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線と形成し、ソース、ドレイン電極を形成している配線材料であるAlによって第1ゲート信号線と形成しているが、異なる材料を用いても良い。

【0170】ところで、本実施例の発光装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0171】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでの駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0172】本実施例の場合、nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{ov}領域)、ゲート絶縁膜に挟んでゲート電極と重ならないオフセットLDD領域(L_{off}領域)およびチャネル形成領域を含む。

【0173】また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0174】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、L_{ov}領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0175】なお、実際には図12(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとOLEDの信頼性が向上する。

【0176】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0177】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0178】また、本実施例の構成は、実施例1～5の

いずれの構成とも自由に組み合わせることが可能である。

【0179】(実施例7) 本実施例では、本発明を用いて発光装置を作製した例について、図13を用いて説明する。

【0180】図13(A)は、画素部が形成されたTFT基板をシーリング材によって封止することによって形成されたOLEDパネルの上面図であり、図13(B)は、図13(A)のA-A'における断面図、図13(C)は図13(A)のB-B'における断面図である。

【0181】基板4001上に設けられた画素部4002と、ソース信号側駆動回路4003と、第1及び第2ゲート信号側駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号側駆動回路4003と、第1及び第2ゲート信号側駆動回路4004a、bの上にはシーリング材4008が設けられている。よって画素部4002と、ソース信号側駆動回路4003と、第1及び第2ゲート信号側駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0182】また基板4001上に設けられた画素部4002と、ソース信号側駆動回路4003と、第1及び第2ゲート信号側駆動回路4004a、bとは、複数のTFTを有している。図13(B)では代表的に、下地膜4010上に形成された、ソース信号側駆動回路4003に含まれる駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを图示する)4201及び画素部4002に含まれる第2のTFT(OLEDEへの電流を制御するTFT)4202を图示した。

【0183】本実施例では、駆動回路用TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、第2のTFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には第2のTFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0184】駆動回路用TFT4201及び第2のTFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上に第2のTFT4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0185】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0186】有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせる積層構造または単層構造とすれば良い。

【0187】有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を酸素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するという工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0188】以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0189】4005aは電源供給線に接続された引き出し配線であり、第2のTFT4202のソース領域に電気的に接続されている。引き出し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0190】シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラフィルムで挟んだ構造のシートを用いることもできる。

【0191】但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリ

29

エステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0192】また、充填材 4103 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0193】また充填材 4103 を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4008 の基板 4001 側の面に凹部 4007 を設けて吸湿性物質または酸素を吸着しうる物質 4207 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4207 が飛び散らないように、凹部カバー材 4208 によって吸湿性物質または酸素を吸着しうる物質 4207 は凹部 4007 に保持されている。なお凹部カバー材 4208 は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質 4207 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4207 を設けることで、OLED4303 の劣化を抑制できる。

【0194】図 13（C）に示すように、画素電極 4203 が形成されると同時に、引き回し配線 4005 a 上に接するように導電性膜 4203 a が形成される。

【0195】また、異方導電性フィルム 4300 は導電性フィラー 4300 a を有している。基板 4001 と FPC4006 とを熱圧着することで、基板 4001 上の導電性膜 4203 a と FPC4006 上の FPC 用配線 4301 とが、導電性フィラー 4300 a によって電気的に接続される。

【0196】また、本実施例の構成は、実施例 1～6 のいずれの構成とも自由に組み合わせることが可能である。

【0197】（実施例 8）本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLED の低消費電力化、長寿命化、および軽量化が可能になる。

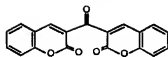
【0198】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。（T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.）

【0199】上記の論文により報告された有機発光材料（クマリン色素）の分子式を以下に示す。

【0200】

【化 1】

30

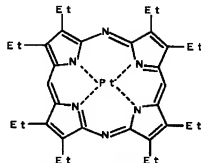


【0201】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

【0202】上記の論文により報告された有機発光材料（Pt 錯体）の分子式を以下に示す。

【0203】

【化 2】



【0204】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yabuchi, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0205】上記の論文により報告された有機発光材料（Ir 錯体）の分子式を以下に示す。

【0206】

【化 3】



【0207】以上のように三重項励起子からの燐光を発光を利用できれば原理的には一重項励起子からの蛍光を発光を用いる場合より 3～4 倍の高い外部発光量子効率の実現が可能となる。

【0208】なお、本実施例の構成は、実施例 1～実施例 7 のいずれの構成とも自由に組み合わせ実施することが可能である。

【0209】（実施例 9）本実施例では、図 9 で示したソース信号側駆動回路 601 の回路図を一例で示す。

【0210】図 14 に示したソース信号側駆動回路 601 は、シフトレジスタ 602、ラッチ（A）（603）、ラッチ（B）（604）、が図に示すように配置されている。なお本実施例では、1 組のラッチ（A）（603）、ラッチ（B）（604）が、4 本のソース

50 信号線 Si+1～Si+3 に対応している。また本実施

例では信号が有する電圧の振幅の幅を変えるレベルシフト回路を設けなかったが、設計者が適宜設けるようにしても良い。

【0211】クロック信号CK、CKの極性が反転したクロック信号CKb、スタートパルス信号SP、駆動方向切り替え信号SL／Rはそれぞれ図に示した配線からシフトレジスタ602に入力される。また外部から入力されるデジタル信号VDは図に示した配線からラッチ(A)(603)に入力される。ラッチ信号S_{LL}A、T、S_{LL}ATの極性が反転した信号S_{LL}ATbはそ
れぞれ図に示した配線からラッチ(B)(604)に入
力される。

【0212】ラッチ(A)(603)の詳細な構成について、ソース信号線S1に対応するデジタル信号を保持するラッチ(A)(603)の一部608を例にとって説明する。ラッチ(A)(603)の一部608は2つのクロックインバータと2つのインバータを有している。

【0213】ラッチ(A)(603)の一部608の上面図を図15に示す。831a、831bはそれぞれ、ラッチ(A)(603)の一部608が有するインバータの1つを形成するTFTの活性層であり、836はインバータの1つを形成するTFTの共通のゲート電極である。また832a、832bはそれぞれ、ラッチ(A)(603)の一部608が有するもう1つのインバータを形成するTFTの活性層であり、837a、837bは活性層832a、832b上にそれぞれ設けられたゲート電極である。なおゲート電極837a、837bは電気的に接続されている。

【0214】833a、833bはそれぞれ、ラッチ(A)(603)の一部608が有するクロックインバータの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

【0215】834a、834bはそれぞれ、ラッチ(A)(603)の一部608が有するもう1つのクロックインバータを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

【0216】なお、本実施例の構成は、実施例1～実施例8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0217】(実施例10)本実施例では、6ビットのデジタル信号を用いた駆動方法において、表示期間T_r1～T_r6の出現する順序について説明する。

【0218】図16に本実施例の駆動方法を示すタイミ

ングチャートを示す。図16において、横軸は時間を示しており、縦軸は選択されている第1ゲート信号線の位置を示している。画素の詳細な駆動の仕方については実施例の形態を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間(本実施例ではT_d1)を1フレーム期間の最後に設ける。上記構成によって、非表示期間T_d1と、次のフレーム期間の最初の表示期間(本実施例ではT_r4)との間にフレーム期間の区切れがあるように人間の目に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むら、人間の目に認識されずらくすることができる。

【0219】なお本実施例では、6ビットのデジタル信号の場合について説明したが、本発明はこれに限定されない。本実施例はデジタル信号のビット数に限定されることなく実施することが可能である。

【0220】なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0221】(実施例11)次に、擬似輪郭を防ぐのに有効な、nビットのデジタル信号を用いた駆動方法について、図17を用いて説明する。

【0222】図17において、横軸は時間を示しており、縦軸は選択されている第1ゲート信号線の位置を示している。画素の詳細な駆動の仕方については実施例の形態を参照すれば良いので、ここでは省略する。

【0223】本実施例では、nビットのデジタル信号に対応する2つの表示期間T_rn、T_r(n+1)を設ける。そして該2つの表示期間が連続して出現しないように、間に他のビットのデジタル信号に対応する表示期間を設ける。

【0224】そして、表示期間の長さをT_r1:T_r2:T_r3:…:T_r(n-1):(T_rn+T_r(n+1))=2⁰:2¹:2²:…:2^{(n-2)}}:2^{(n-1)}}とする。この表示期間の組み合わせで1～2ⁿ階調のうち所望の階調表示を行うことができる。

【0225】本実施例の駆動方法では、中間階調を表示するとき、1フレーム期間中に発光する表示期間と発光しない表示期間とが交互に出現する確率が高まる。よって、人間の視点が左右上下に微妙に動いていたとしても、人間の視点が発光していない画素のみを連続して監視したり、逆に発光している画素のみを連続して監視する確率を低くすることができる。よって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0226】なお本実施例では、nビット目のデジタル信号を2つの表示期間に対応させているが、本実施例はこの構成に限定されない。nビット目のデジタル信号に対応する表示期間は3つ以上であっても良い。また、他

のビットのデジタル信号に対応する表示期間を複数設けても良い。ただし、上位ビットに対応する表示期間から順に、複数の表示期間に対応させることが好ましい。また、表示期間の分割数は設計者が適宜選択可能であるが、どこまで分割するかは、表示装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0227】また同じビットのデジタル信号に対応した表示期間の長さは同じであることが望ましいが、本発明はこれに限定されない。

【0228】なお、本実施例の構成は、実施例1～実施例10のいずれの構成とも自由に組み合わせて実施することが可能である。

【0229】（実施例12）本実施例では、本発明の発光装置が有する画素の、実施の形態とは異なる構成について説明する。

【0230】図18に本実施例の発光装置の画素の上面図を示す。なお、画素の構成をよりわかりやすくするため、画素電極よりも後の工程において作製される有機発光層や、陰極は図示しなかった。図18のA-A'における断面図を図19(A)に、B-B'における断面図を図19(B)に、C-C'における断面図を図19(C)に示す。

【0231】第1のTFT501はnチャネル型TFTであり、第2のTFT502はpチャネル型TFTであり、第3のTFT503はpチャネル型TFTである。

【0232】第1のTFT501は、半導体膜503と、第1の絶縁膜502と、第1の電極504、505と、第2の絶縁膜521と、第2の電極506、507とを有している。そして、半導体膜503は、第1濃度の一導電型不純物領域508と、第2濃度の一導電型不純物領域509と、チャネル形成領域510、511を有している。

【0233】第1の電極504、505とチャネル形成領域510、511とは、それぞれ第1の絶縁膜520を間に挟んで重なっている。また、第2の電極506、507と、チャネル形成領域510、511とは、それぞれ第2の絶縁膜521を間に挟んで重なっている。

【0234】2つの第1濃度の一導電型不純物領域508は、一方はソース信号線S1に、もう一方は配線540に接続されている。

【0235】第1の電極504、505は第1ゲート信号線G1の一部であり、第2の電極506、507は第1下層配線Gd1の一部である。

【0236】第2のTFT502は、半導体膜530と、第1の絶縁膜520と、第1の電極531と、第2の絶縁膜521と、第2の電極532とを有している。そして、半導体膜530は、第3濃度の一導電型不純物領域533と、チャネル形成領域534を有している。

【0237】第1の電極531とチャネル形成領域53

4とは、それぞれ第1の絶縁膜520を間に挟んで重なっている。第2の電極532とチャネル形成領域534とは、それぞれ第2の絶縁膜521を間に挟んで重なっている。

【0238】2つの第3濃度の一導電型不純物領域533は、一方は電源供給線V1に、もう一方は配線570に接続されている。

【0239】そして、第1の電極531と第2の電極532とは、配線540を介して電氣的に接続されている。

【0240】第3のTFT502は、半導体膜560と、第1の絶縁膜520と、第1の電極561と、第2の絶縁膜521と、第2の電極562とを有している。そして、半導体膜560は、第3濃度の一導電型不純物領域563と、チャネル形成領域564を有している。

【0241】第1の電極561とチャネル形成領域564とは、それぞれ第1の絶縁膜520を間に挟んで重なっている。第2の電極562とチャネル形成領域564とは、それぞれ第2の絶縁膜521を間に挟んで重なっている。

【0242】2つの第3濃度の一導電型不純物領域563は、一方は配線591を間に介してOLEDの画素電極580に、もう一方は配線570に接続されている。

【0243】第1の電極561は第2ゲート信号線Cjの一部であり、第2の電極562は第2下層配線Cdjの一部である。

【0244】582は、第2のTFT501が有する第1電極531と電氣的に接続された容量用の第1配線であり、583は第2のTFT502が有する第2電極532と電氣的に接続された容量用の第2配線である。第1配線582と第2配線583は、間に第1の絶縁膜520及び第2の絶縁膜521を挟んで重なり合っている。そして、電源供給線V1と、第1配線582とは、第2配線583と同時に形成される配線590に接続されており、電氣的に等価である。第1配線582と第2配線583と、第1の絶縁膜520と、第2の絶縁膜521とが重なり合っている部分が、コンデンサ581に相当する。

【0245】この様に、第1の電極と第2の電極の間の絶縁膜を用いて、より大きな容量を形成することもできる。この構成は、画素に限らず、他の回路でも使用することが可能である。

【0246】本実施例では、スイッチング素子として用いる第1のTFT501及び第3のTFT502は、それぞれ第1の電極に閾値電圧に近い一定の電圧を印加している。第1の電極に閾値電圧に近い一定の電圧を印加することで、電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

【0247】また、スイッチング素子として用いるTFT

Tよりも、大きな電流を流すことが要求される第2のTFT551は、第1の電極と第2の電極とを電気的に接続している。第1の電極と第2の電極に同じ電圧を印加することで、実質的に半導体膜の膜厚を薄くしたのと同じように空乏層が早く広がるので、サブスレッショルド係数を小さくすることができ、さらに電界効果移動度を向上させることができる。したがって、電極が1つの場合に比べてオン電流を大きくすることができる。よって、この構造のTFTを駆動回路に使用することにより、駆動電圧を低下させることができる。また、オン電流を大きくすることができるので、TFTのサイズ（特にチャネル幅）を小さくすることができる。そのため集積密度を向上させることができる。

【0248】なお、本実施例の第2のTFT551のように、第1の電極と第2の電極を電気的に接続したTFTは、比較的高いオン電流が得られるため、駆動回路、特にソース信号線、第1及び第2のゲート信号線に印加される電圧を制御するのに適している。

【0249】なお、本実施例の構成は、実施例1～実施例11のいずれの構成とも自由に組み合わせて実施することができる。

【0250】（実施例13）発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視死角が広い。従って、様々な電子機器の表示部に用いることができる。

【0251】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンパ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD（digital versatile disc）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視死角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図20に示す。

【0252】図20（A）はEL表示装置であり、筐体2001、支持台2002、表示部2003、スピーカ部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、EL表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0253】図20（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、

操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0254】図20（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0255】図20（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0256】図20（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカ部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0257】図20（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0258】図20（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0259】ここで図20（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0260】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0261】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増えてきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好まし

い。

【0262】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0263】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～12に示したいずれの構成の発光装置を用いても良い。

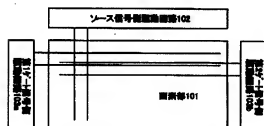
【0264】

【発明の効果】本発明は上記構成によって、OLEDの対向電極に常に一定の電圧を与えていても、OLED駆動電圧を制御することができる。従って、本発明の発光装置では、対向電極の電圧を制御する電源のスイッチを取り除くことが可能であり、スイッチを有していても高い電流能力は必要とされない。

【0265】また、対向電極の電源が有するスイッチの電流能力の上限によって、発光装置の大型化が妨げられることがない。また、対向電極の電源が有するスイッチに流れる電流値を抑えることができるので、スイッチに起因する駆動回路の周波数特性の低下を防ぎ、階調数の減少を防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の回路構成を示す図。



【図1】

【図2】 本発明の発光装置の画素部の回路図。

【図3】 本発明の発光装置の画素の回路図。

【図4】 本発明の発光装置の駆動方法を示すタイミングチャート。

【図5】 本発明の発光装置の画素上面図。

【図6】 本発明の発光装置の画素の回路図。

【図7】 本発明の発光装置の画素の回路図。

【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置が有する駆動回路の構成を示すブロック図。

【図10】 本発明の発光装置の作製工程を示す図。

【図11】 本発明の発光装置の作製工程を示す図。

【図12】 本発明の発光装置の作製工程を示す図。

【図13】 本発明の発光装置の上面図及び断面図。

【図14】 本発明で用いられるソース信号側駆動回路の回路図。

【図15】 本発明で用いられるラッチ回路の上面図。

【図16】 本発明の発光装置の駆動方法を示すタイミングチャート。

【図17】 本発明の発光装置の駆動方法を示すタイミングチャート。

【図18】 本発明の発光装置の画素上面図。

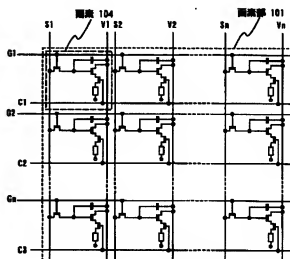
【図19】 本発明の発光装置の画素断面図。

【図20】 本発明の発光装置を用いた電子機器。

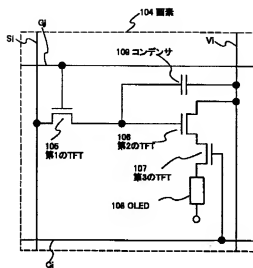
【図21】 従来の発光装置の画素部の回路図。

【図22】 従来の発光装置の画素の回路図。

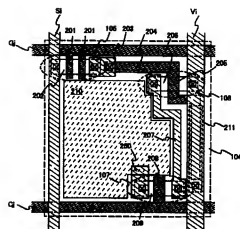
【図2】



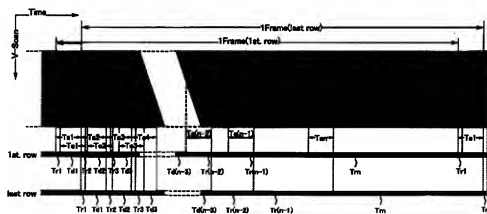
【図3】



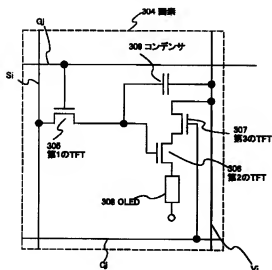
【図5】



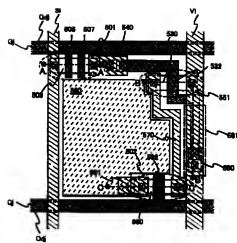
【図4】



【図8】

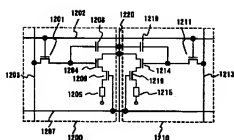


【図18】

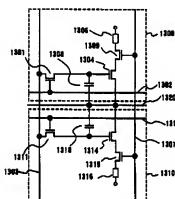


【図6】

(A)

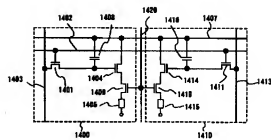


(B)

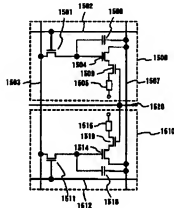


【図7】

(A)



(B)

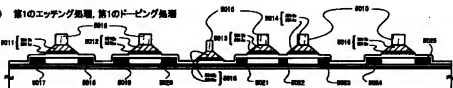


【図10】

(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



(B) 第1のエッチング処理、第1のドーピング処理



(C) 第2のエッチング処理



0001 : 基板
0002 : 半導体層
0003 : ゲート絶縁膜
0004 : ゲート電極用第1の導電膜
0005 : ゲート電極用第2の導電膜

0006 : 第1のエッチング処理
0007 : 第1のドーピング処理
0008 : 第2のエッチング処理
0009 : 第2のドーピング処理

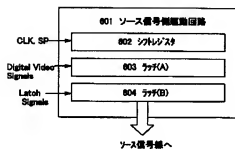
0010 : 第1のエッチング処理
0011 : 第1のドーピング処理
0012 : 第2のエッチング処理
0013 : 第2のドーピング処理

0014 : 第1のエッチング処理
0015 : 第1のドーピング処理
0016 : 第2のエッチング処理
0017 : 第2のドーピング処理

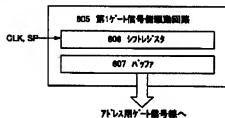
0018 : 第1のエッチング処理
0019 : 第1のドーピング処理
0020 : 第2のエッチング処理
0021 : 第2のドーピング処理

【図9】

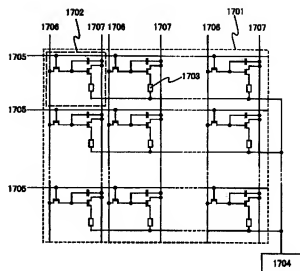
(A)



(B)



【図21】

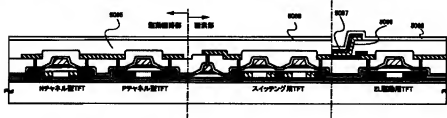


【図12】

(A) 第1、第2の層間絶縁膜、配線、画素電極形成



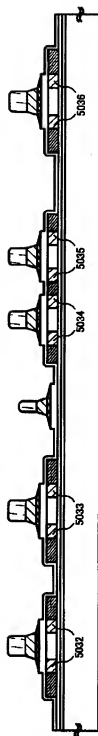
(B) 第3の層間絶縁膜、EL層、防層電極、パッシベーション膜形成



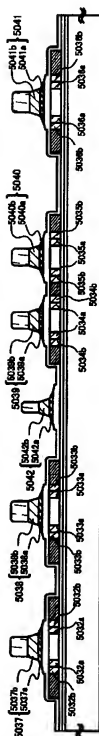
8001: EL層
8002: 防層電極
8003: パッシベーション膜
8004: 第1の層間絶縁膜
8005: 第2の層間絶縁膜
8006: 配線
8007: 画素電極
8008: 第3の層間絶縁膜

【図11】

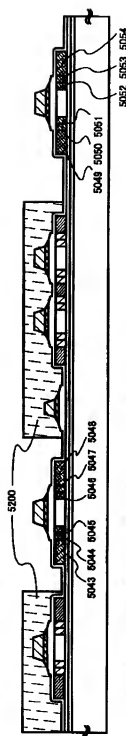
(A) 第2のドーピング処理



(B) 第3のエッチング処理



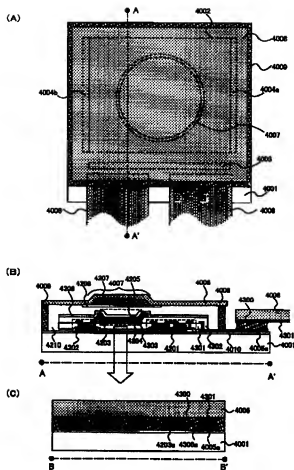
(C) 第3のドーピング処理



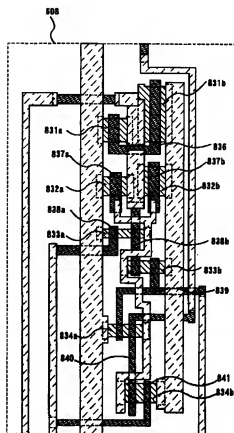
5032~5038 : 第30不純物層 (エッチング前)
 5032a~5038a : 第30不純物層 (エッチング後)
 5032b~5038b : 第30不純物層 (エッチング後)
 5040~5044 : 第40不純物層

5200 : レジストマスク

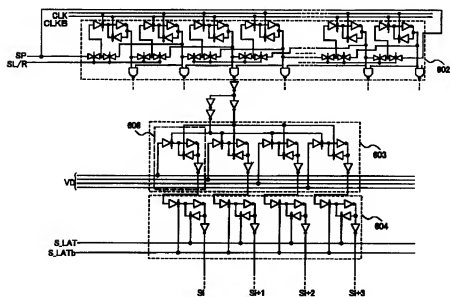
【図 13】



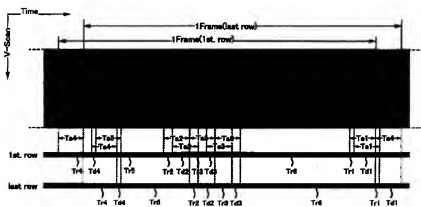
【図 15】



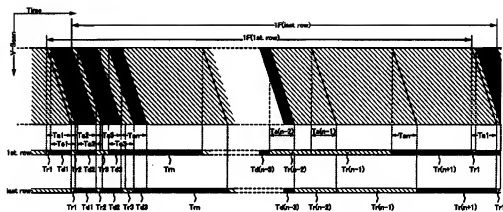
【図 14】



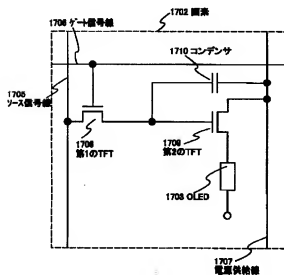
【図16】



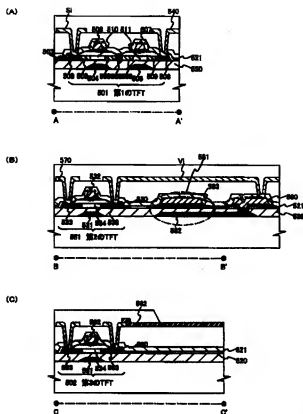
【図17】



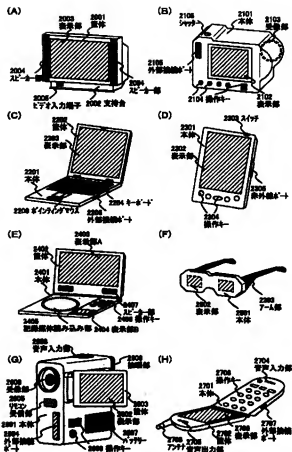
【図22】



【図 19】



【図 20】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K
3/32		3/32	A
H 0 1 L 29/786		H 0 5 B 33/14	A
H 0 5 B 33/14		H 0 1 L 29/78	6 1 4

Fターム(参考) 3K007 AB04 AB13 AB17 AB18 BA06
BB01 BB05 BB06 CA01 CB01
DA00 DB03 EB00 FA00 FA01
FA02
5C080 AA06 AA07 BB05 DD22 DD30
EE29 FF11 JJ02 JJ03 JJ04
JJ06 KK07 KK43 KK47
5C094 AA21 AA45 BA03 BA29 CA19
DA14 DA15 DB01 DB04 EA04
EA07 FB01
5F110 AA01 AA28 BB02 BB04 CC02
DD02 DD13 DD14 DD15 EE01
EE02 EE03 EE04 EE09 EE11
EE14 EE15 EE23 EE28 EE44
EE45 FF02 FF04 FF12 FF28
FF30 FF36 GG01 GG02 GG13
GG25 HJ01 HJ04 HJ06 HJ12
HJ13 HJ23 HL04 HL06 HL07
HL12 HM13 HM15 HM18 NN03
NN04 NN22 NN23 NN27 NN72
NN73 PP01 PP03 PP05 PP06
PP34 QQ04 QQ05 QQ11 QQ19
QQ24 QQ25